

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197809

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 23/12

H05K 3/46

(21)Application number : 2001-394694

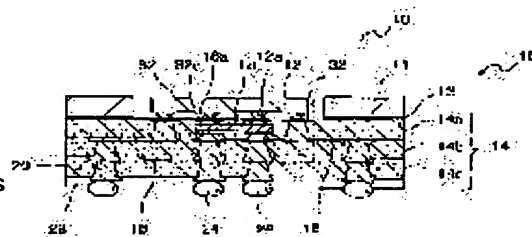
(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 26.12.2001

(72)Inventor : IJIMA TAKAHIRO
MUTSUKAWA AKIO**(54) PACKAGE FOR SEMICONDUCTOR DEVICE, THE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of shortening a conductive circuit from an electrode terminal for a mounted semiconductor element to a capacitor as much as possible.

SOLUTION: In the semiconductor device 10, in which the semiconductor element 12 is mounted on the package 15 for the semiconductor device provided with the capacitor 18 arranged in a circuit base board 14, the capacitor 18 is arranged immediately below the semiconductor element mounting surface of the circuit base board 14 on which the semiconductor element 12 is mounted and, in order to obtain the shortest distance of the conductive circuit electrically connecting the semiconductor element 12 to the capacitor 18, the external connecting terminal 18a of the capacitor 18 is directly connected to the semiconductor element mounting surface of the circuit base board 14 on the other surface side of a connecting pad 32c, whose one surface side directly connected to the electrode terminal 12a of the semiconductor element is exposed.

**LEGAL STATUS**

[Date of request for examination] 26.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3492348

[Date of registration] 14.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-197809

(P 2 0 0 3 - 1 9 7 8 0 9 A)

(43) 公開日 平成15年7月11日 (2003. 7. 11)

(51) Int. Cl. 7

識別記号

F 1

テ-コード (参考)

H01L 23/12

H05K 3/46

Q 5E346

H05K 3/46

H01L 23/12

B

審査請求 有 請求項の数16 O L (全10頁)

(21) 出願番号 特願2001-394694 (P 2001-394694)

(22) 出願日 平成13年12月26日 (2001. 12. 26)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 飯島 隆廣

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 六川 昭雄

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

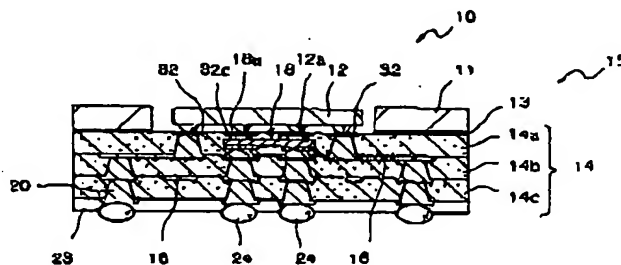
最終頁に続く

(54) 【発明の名称】 半導体装置用パッケージ及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 搭載した半導体素子の電極端子からキャパシターに至る導電回路を可及的に短縮し得る半導体装置を提供する。

【解決手段】 回路基板14内にキャパシター18が配設された半導体装置用パッケージ15に半導体素子12が搭載された半導体装置10において、該キャパシター18が、半導体素子12が搭載された回路基板14の半導体素子搭載面の直下に配設され、半導体素子12とキャパシター18とを電気的に接続する導電回路が最短距離となるように、回路基板14の半導体素子搭載面には、半導体素子の電極端子12aが直接接続される一面側が露出する接続パッド32cの他面側に、キャパシター18の外部接続端子18aが直接接続されていることを特徴とする。



(2)

特開2003-197809

2

【特許請求の範囲】

【請求項1】 半導体素子が搭載される回路基板内にキャパシターが配設された半導体装置用パッケージにおいて、

該キャパシターが、前記半導体素子が搭載される回路基板の半導体素子搭載面の直下に配設され、

前記回路基板の半導体素子搭載面に、前記半導体素子の電極端子の各々が直接接続されるように一面側が露出する接続パッドが形成されていると共に、

前記接続パッドのうち、前記キャパシターの外部接続端子に対応する半導体素子の電極端子が接続される接続パッドの他面側に、前記キャパシターの外部接続端子が直接接続されていることを特徴とする半導体装置用パッケージ。

【請求項2】 半導体素子が搭載される回路基板内にキャパシターが配設された半導体装置用パッケージにおいて、

該キャパシターが、前記半導体素子が搭載される回路基板の半導体素子搭載面の直下に配設され、

前記キャパシターの外部接続端子のうち、前記半導体素子の電極端子と直接接続される外部接続端子の接続面が、前記半導体素子搭載面に露出して形成されていることを特徴とする半導体装置用パッケージ。

【請求項3】 キャパシターが、シリコン基板の両面側に外部接続端子が形成された両面配線型のキャパシターである請求項1又は請求項2記載の半導体装置用パッケージ。

【請求項4】 回路基板の一面側の半導体素子搭載面に搭載される半導体素子の電極端子と、前記回路基板の他面側に形成された基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路が最短距離となるように、前記キャパシターに接続される半導体素子の電極端子が直接当接する接続パッドから回路基板の他面側に垂下した垂線方向に基板用外部接続端子が形成され、且つ前記導体回路が実質的に直線状に形成されている請求項1又は請求項3記載の半導体装置用パッケージ。

【請求項5】 回路基板の一面側の半導体素子搭載面に搭載される半導体素子の電極端子と、前記回路基板の他面側に形成された基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路が最短距離となるように、前記半導体素子の電極端子が直接当接するキャパシターの外部接続端子の接続面から回路基板の他面側に垂下した垂線方向に基板用外部接続端子が形成され、且つ前記導体回路が実質的に直線状に形成されている請求項2又は請求項3記載の半導体装置用パッケージ。

【請求項6】 回路基板が、多層回路基板であって、前記多層回路基板の一面側の半導体素子搭載面に搭載される半導体素子の電極端子と、前記多層回路基板の他面側に形成された基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路が、各層を貫通する貫通

孔内に金属が充填されて形成されたヴィアが直線状に積層されて形成されている請求項1～5のいずれか一項記載の半導体装置用パッケージ。

【請求項7】 回路基板の一面側に、前記回路基板の補強材として、棒状の金属板が配設されている請求項1～6のいずれか一項記載の半導体装置用パッケージ。

【請求項8】 回路基板内にキャパシターが配設された半導体装置用パッケージを製造する際に、

金属板の一面側に、搭載される半導体素子の電極端子が直接接続される一面側を密着状態として形成した接続パッドのうち、前記キャパシターが接続されるキャパシター用接続端子の他面側に、前記キャパシターの外部接続端子を直接接続した後、

前記接続パッド及びキャパシターの外部接続端子の各々と電気的に接続された導体回路を具備する回路基板を、前記金属板の一面側に形成し、

次いで、前記金属板の他面側にエッチングを施し、少なくとも前記接続パッドの一面側を含む回路基板の半導体素子搭載面を露出することを特徴とする半導体装置用パッケージの製造方法。

【請求項9】 回路基板内にキャパシターが配設された半導体装置用パッケージを製造する際に、

金属板の一面側に、搭載される半導体素子の電極端子が直接接続される外部接続端子の接続面の一面側を密着状態とするように、前記キャパシターを載置した後、

前記キャパシターの他の外部接続端子と電気的に接続された導体回路を具備する回路基板を前記金属板の一面側に形成し、

次いで、前記金属板の他面側にエッチングを施し、少なくとも前記半導体素子の電極端子が直接接続されるキャパシターの外部接続端子の接続面を含む回路基板の半導体素子搭載面を露出することを特徴とする半導体装置用パッケージの製造方法。

【請求項10】 キャパシターとして、シリコン基板の両面側に外部接続端子を形成した両面配線型のキャパシターを用いる請求項8又は請求項9記載の半導体装置用パッケージの製造方法。

【請求項11】 回路基板の一面側の半導体素子搭載面に搭載される半導体素子の電極端子と、前記回路基板の他面側に形成された基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路を最短距離に形成すべく、前記キャパシターに接続される半導体素子の電極端子が直接当接する接続パッドから回路基板の他面側に垂下した垂線方向に基板用外部接続端子を形成し、且つ前記導体回路を実質的に直線状に形成する請求項8又は請求項10記載の半導体装置用パッケージの製造方法。

【請求項12】 回路基板の一面側の半導体素子搭載面に搭載される半導体素子の電極端子と、前記回路基板の他面側に形成された基板用外部接続端子とをキャパシタ

(3)

特開2003-197809

3

4

一を介して電気的に接続する導体回路を最短距離に形成すべく、前記半導体素子の電極端子と直接接続されるキャパシタの外部接続端子の接続面から回路基板の他面側に垂下した垂線方向に基板用外部接続端子を形成し、且つ前記導体回路を実質的に直線状に形成する請求項9又は請求項10記載の半導体装置用パッケージの製造方法。

【請求項13】 回路基板としての多層回路基板を形成する際に、前記多層回路基板の一面側の半導体素子搭載面に搭載する半導体素子の電極端子と、前記多層回路基板の他面側に形成した基板用外部接続端子とをキャパシタを介して電気的に接続する導体回路を、各層を貫通する貫通孔内に金属を充填して形成したビアを直線状に積層して形成する請求項8～12のいずれか一項記載の半導体装置用パッケージの製造方法。

【請求項14】 回路基板の半導体素子搭載面を覆う部分をエッチングで除去した枠状の金属板を、前記回路基板の補強部材として用いる請求項8～13のいずれか一項記載の半導体装置用パッケージの製造方法。

【請求項15】 請求項1記載の半導体装置用パッケージの半導体素子搭載面に、半導体素子が搭載された半導体装置であって、

該半導体装置用パッケージに配設されたキャパシタの外部接続端子が他面側に直接接続された接続パッドの一面側に、半導体素子の電極端子が直接接続されていることを特徴とする半導体装置。

【請求項16】 請求項2記載の半導体装置用パッケージの半導体素子搭載面に、半導体素子が搭載された半導体装置であって、

該半導体装置用パッケージに配設されたキャパシタの外部接続端子の接続面に、半導体素子の電極端子が直接接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置用パッケージ及びその製造方法並びに半導体装置に関し、更に詳細には半導体素子が搭載される回路基板内にキャパシタが配設された半導体装置用パッケージ及びその製造方法並びに半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置は、搭載される半導体素子の動作周波数が高周波化されつつあり、これに伴ない半導体素子に供給する電源等の安定化を図ることが必要となってきている。このためには、半導体素子を搭載する半導体装置用パッケージ内に、チップコンデンサ等のキャパシタを設けることがなされている。この様に、チップコンデンサ等のキャパシタが内設された半導体装置用パッケージを用いた半導体装置として、本発明者の一人は、先に特願2000-276514明細書において、図12に示す半導体装置を提案した。図12

に示す半導体装置100は、多層回路基板である半導体装置用パッケージ104（以下、単にパッケージ104と称する）に半導体素子102が搭載されて形成されており、半導体装置用パッケージ104は、ガラスエポキシ基板等から成る板状のコア材106の両面に、導体パターン108、108・・・が多層に形成されている。多層に形成された導体パターン108、108・・・は、コア材106を貫通するビア110、110や絶縁層114、114・・・を貫通するビア112、112等により電気的に接続されている。かかるパッケージ104には、コア材106にルータ等によって形成された凹部116内に、キャパシタ118が内挿されている。このキャパシタ118は、シリコン基板118aの一面側に形成された誘電材料から成る皮膜118bの表面に導電性皮膜118cが形成されたものである。かかるキャパシタ118は、凹部116の内壁面に沿って形成された金属めっき皮膜120上に導電性接着材122によって接着されている。

【0003】

【発明が解決しようとする課題】 図12に示す半導体装置100によれば、キャパシタ118を搭載した半導体素子102の近傍のパッケージ104内に設けることができ、半導体素子102に供給する電源等の安定化を図ることができる。このため、動作周波数が高周波化された半導体素子102を搭載しても、電源等の不安定化に因る誤動作を防止できる。しかしながら、図12に示す半導体装置100でも、更に一層高速化（高周波化）された半導体素子を搭載する場合には、半導体素子に供給する電源等の更に一層の安定化が要請されることを知った。本発明者等は、図12に示す半導体装置100について、更に一層高速化（高周波化）された半導体素子を搭載した場合、半導体素子102に供給する電源等の安定化を図ることができない原因について検討した。この半導体装置100では、キャパシタ118がパッケージ104の略中間部を形成するコア106に形成された凹部116内に内挿されていると共に、搭載された半導体素子102の電極端子からキャパシタ118に至る導電回路が屈曲されて形成されている。このため、半導体素子102の電極端子からキャパシタ118に至る導電回路が長く且つ接続箇所も多くなり、半導体装置100の外部接続端子から半導体素子102に至る導電回路のインダクタンスが大きくなることに起因し、半導体素子102に供給する電源等が不安定となり易いことが判明した。そこで、本発明の課題は、搭載した半導体素子の電極端子からキャパシタに至る導電回路を可及的に短縮し得る半導体装置用パッケージ及びその製造方法並びに半導体装置を提供することにある。

【0004】

【課題を解決するための手段】 本発明者等は、前記課題を解決するには、パッケージ104の半導体素子102

(4)

特開2003-197809

5

6

の搭載面に形成される。半導体系子102の電極端子と接続される接続パッドに、キャパシター118の外部接続端を直接接続するように、キャパシター118をパッケージ104に内設することが有効であると考え検討した結果、本発明に到達した。すなわち、本発明は、半導体系子が搭載される回路基板内にキャパシターが配設された半導体装置用パッケージにおいて、該キャパシターが、前記半導体系子が搭載される回路基板の半導体系子搭載面の直下に配設され、前記回路基板の半導体系子搭載面に、前記半導体系子の電極端子の各々が直接接続されるように一面側が露出する接続パッドが形成されていると共に、前記接続パッドのうち、前記キャパシターの外部接続端子に対応する半導体系子の電極端子が接続される接続パッドの他面側に、前記キャパシターの外部接続端子が直接接続されていることを特徴とする半導体装置用パッケージにある。

【0005】更に、本発明は、回路基板内にキャパシターが配設された半導体装置用パッケージを製造する際に、金属板の一面側に、搭載される半導体系子の電極端子が直接接続される一面側を密着状態として形成した接続パッドのうち、前記キャパシターが接続されるキャパシター用接続端子の他面側に、前記キャパシターの外部接続端子を直接接続した後、前記接続パッド及びキャパシターの外部接続端子の各々と電気的に接続された導体回路を具備する回路基板を、前記金属板の一面側に形成し、或いは金属板の一面側に、搭載される半導体系子の電極端子が直接接続される外部接続端子の接続面の一面側を密着状態とするように、前記キャパシターを配置した後、前記キャパシターの他の外部接続端子と電気的に接続された導体回路を具備する回路基板を前記金属板の一面側に形成し、次いで、前記金属板の他面側にエッチングを施し、少なくとも前記接続パッド又は前記半導体系子の電極端子が直接接続されるキャパシターの外部接続端子の接続面を含む回路基板の半導体系子搭載面を露出することを特徴とする半導体装置用パッケージの製造方法にある。また、本発明は、前述した半導体装置用パッケージの半導体系子搭載面に、半導体系子が搭載された半導体装置であって、該半導体装置用パッケージに配設されたキャパシターの外部接続端子が他面側に直接接続された接続パッドの一面側に、或いは該半導体装置用パッケージに配設されたキャパシターの外部接続端子の接続面に、半導体系子の電極端子が直接接続されていることを特徴とする半導体装置でもある。

【0006】かかる本発明において、キャパシターとして、シリコン基板の両面側に外部接続端子を形成した両面配線型のキャパシターを用いることによって、半導体系子の電極端子とパッケージの外部接続端子とを、キャパシターを介して電気的に接続する導体回路の長さを更に短縮できる。更に、回路基板の一面側の半導体系子搭載面に形成し、キャパシターの外部接続端子と直接接続

したキャパシター用接続パッドと、前記回路基板の他面側に形成した基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路を、最短距離とするには、前記キャパシター用接続パッドから回路基板の他面側に垂下した垂線方向に基板用外部接続端子を形成し、且つ前記導体回路を実質的に直線状に形成することが好ましい。かかる回路基板を多層回路基板とする場合には、前記多層回路基板の一面側の半導体系子搭載面に形成したキャパシター用接続パッドと、前記多層回路基板の他面側に形成した基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路を、各層を貫通する貫通孔内に金属を充填して形成したビアを直線状に積層して形成することにより、回路基板の他面側に形成した基板用外部接続端子とをキャパシターを介して電気的に接続する導体回路を最短距離とすることができる。

【0007】本発明に係る半導体装置用パッケージ（以下、単にパッケージと称することがある）では、その半導体系子搭載面に半導体系子を搭載すると、キャパシターの外部接続端子に対応する半導体系子の電極端子は、半導体系子搭載面に一面側が露出して形成された接続パッドのうち、他面側にキャパシターの外部接続端子が直接接続されている接続パッドの一面側に直接接続される。或いはキャパシターの外部接続端子に対応する半導体系子の電極端子は、半導体系子搭載面に露出しているキャパシターの外部接続端子の接続面に直接接続される。このため、半導体系子の電極端子とキャパシターの電極端子とは、接続パッドを介して或いは直接接続される結果、両端子間の導体回路距離を可及的に短くし、接続箇所も少なくでき、半導体系子の電極端子とキャパシターの電極端子とを電気的に接続する導体回路のインダクタンスを低くできる。

【0008】

【発明の実施の形態】本発明に係る半導体装置を図1に示す。図1に示す半導体装置10は、キャパシター18が内設された半導体装置用パッケージ14（以下、パッケージと称することがある）の一面側には、補強材としての棒状の金属板11が樹脂層13を介して接合され、金属板11が棒状に開口されて形成された半導体系子搭載面に、半導体系子12がフリップチップ接続により搭載されている。このパッケージ14は、導体パターン16、16・・・が形成された絶縁層としての樹脂層14a、14b、14cが積層された多層回路基板であって、各層に形成された導体パターン16、16・・・は、各層を貫通して形成されたビア20、20・・・により電気的に接続されている。かかるパッケージ14の他面側には、基板用外部接続端子としてのんだボール24、24・・・が装着されており、んだボール24、24・・・は、導体パターン16及びビア20等から成る導体回路によって半導体系子12の電極端子と電気的に接続されている。尚、パッケージ14の他面側には、は

50

(5)

特開2003-197809

7

8

んだボール24、24・・・の部分を除きソルグレジスト23によって覆われている。

【0009】このパッケージ14に内設されたキャパシター18は、図2に示す様に、シリコン基板22の両面側に外部接続端子18a、18a、18b、18bが形成された両面配線型のキャパシターである。かかるシリコン基板22には、貫通する貫通孔42が形成されており、シリコン基板22の一面側及び貫通孔42の内壁面には、酸化膜層26が形成されている。かかる酸化膜層26上には、導体パターン46a及び52bから成る導体回路と導体パターン52aから成る導体回路とのうち、導体パターン46aと導体パターン52aとが、誘電体層48を挟み隣接して形成されており、導体パターン46a及び52bから成る導体回路と導体パターン52aから成る導体回路との各一端部側には、バンプ状の外部接続端子18a、18aが形成されている。更に、この両導体回路の各他端部には、シリコン基板22を貫通する貫通孔42、42内にめっき等により金属が充填されて形成されたビアを経由してシリコン基板22の他面側に延出され、接続面が平坦面に形成された外部接続端子18b、18bに接続されている。

【0010】、かかるキャパシター18の一面側に形成されたバンプ状の外部接続端子18a、18aは、図1及び図3に示す様に、パッケージ14の半導体素子搭載面に形成され、一面側が半導体素子12の電極端子が直接接続された接続パッド32、32・・・のうち、キャパシター用接続パッド32c、32cの他面側に直接接続されている。したがって、半導体素子12の電極端子（はんだバンプ）12a、12aとキャパシター18の一面側に形成された外部接続端子18a、18aとは、接続パッド32c、32cを介して接続されており、図12に示す半導体装置100の半導体素子102の電極端子とキャパシター118とを電気的に接続する導体回路に比較して、短距離で且つ接続箇所も少なくできる。

【0011】かかるキャパシター18の他面側に形成された外部接続端子18b、18bは、パッケージ14の他面側に装着された基板用外部接続端子としてのはんだボール24、24と、各層に形成されたビア20、20・・・が積層されて形成された導体回路によって電気的に接続されている。図1に示す半導体装置10では、キャパシター用接続パッド32c、32cとはんだボール24、24とを、キャパシター18を介して電気的に接続する。ビア20、20・・・が積層されて形成された導体回路を、最短距離となるように形成することによって、導体回路のインダクタンスを更に低下できる。ここで、「最短距離」とは、キャパシター用接続パッド32c、32cからパッケージ14の他面側に垂下した垂線方向に、はんだボール24、24が形成されていると共に、キャパシター用接続パッド32c、32cとはんだボール24、24を接続する導体回路が実質的に直接状

に形成されていることを言う。

【0012】図1に示す半導体装置10の様に、接続パッド32、32・・・とはんだボール24、24・・・とを接続する導体回路が、各層に形成されたビア20、20・・・が積層されて形成されている場合、ビア20、20・・・は、銅等の金属が充填されて形成された充填ビアとすることが、形成したビア20の端面を平坦化し易く、ビア20、20・・・を直線状に積層し易くなる。かかる図1～図3に示す半導体装置10を構成するパッケージ14は、図4～図6に示す方法で製造できる。先ず、銅等の金属から成る金属板11aの一面側に、ポリイミド等の樹脂を塗布して樹脂層13を形成する〔図4(a)〕。更に、樹脂層13の表面上に無電解めっき等によって銅等の導膜金属層を形成し、この導膜金属導膜を給電層とする電解めっきにより形成した金属層に、フォトリソ法等の公知の方法でパターンングして接続パッド32、32・・・を形成する〔図4(b)〕。この接続パッド32、32・・・は、金属板11aに形成された樹脂層13に、半導体素子12の電極端子が直接接続される一面側が密着状態で形成される。かかる接続パッド32、32・・・のうち、キャパシター用接続パッド32c、32cの他面側に、キャパシター18の一面側に形成された外部接続端子18a、18bを、はんだ等のろう材を用いて接合してキャパシター18を搭載する〔図4(c)〕。この様に、キャパシター18が搭載された金属板11aの一面側には、キャパシター18の他面側に形成された外部接続端子18b、18bが樹脂で覆われるように、樹脂層14aをラミネートする〔図4(d)〕。この樹脂層14aは、エポキシ、ポリイミド、ポリフェニレンエーテル等の樹脂の塗布、或いはこれらの樹脂から成る樹脂シートの積層によって形成できる。

【0013】形成した樹脂層14aにエッチングやレーザによって、ビア形成用の凹部34、34・・・を形成する〔図4(e)〕。この凹部34、34・・・の底面には、接続パッド32やキャパシター18の外部接続端子18bが露出する。かかる凹部34、34・・・の底面及び内壁面を含む樹脂層14aの全面に、無電解めっき等により形成した銅等の金属導膜を給電層とする電解めっきを施し、凹部34、34・・・を銅等の金属で充填すると共に、金属層3bを形成する〔図4(f)〕。この電解めっきとしては、陽極と陰極とが所定の周期で反転するPR電解めっきを採用することが好ましい。特に、凹部34、34・・・内に銅等の金属を充填するフォワード電流を流す陽極と陰極とが所定の周期で反転し、このフォワード電流の流れる方向と反対の方向にリバース電流を流すPRで電解めっきによって、凹部34、34・・・内の金属導膜上に金属皮膜を形成した後、凹部34、34・・・内の残余の部分に、直流電流を流す直流電解めっきを施して銅等の金属を充填してビア20、20・・・

(6)

特開2003-197809

9

10

を形成することが、小径の凹部内にも所定時間内で充分に金属を充填してビアを形成でき好ましい。かかる電解めっきを終了した後、金属層36の表面を平坦面に形成すべく、金属層36の表面に研磨を施してもよい。

【0014】次いで、金属層36にフォトリソ法等の公知の方法でパターンニングして導体パターン16、16・を形成する〔図4(g)〕。更に、形成した導体パターン16、16・が樹脂で覆われるように、樹脂層14bをラミネートし、形成した樹脂層14bにエッチングやレーザによって、ビア形成用の凹部34、34・を形成する。この凹部34、34・の底面には、導体パターン16やビア20が露出する〔図5

(a)〕。この様に、樹脂層14bに形成した凹部34、34・には、図4(f)の工程と同様にして、ビア20及び導体パターン16を形成する。同様にして、樹脂層14bに形成した導体パターン16等が覆われるように形成した樹脂層14cにも、ビア20等を形成した後〔図5(b)〕、樹脂層14cの表面に、基板用外部接続端子としてのはんだボール24が装着されるパッド部分を除いてソルダレジスト23を塗布する〔図5(c)〕。

【0015】その後、半導体素子12の電極端子12a、12a・と接続される接続パッド32、32・の一面側を含む半導体素子搭載面を露出すべく、金属板11aにエッチングを施す。かかる金属板11aのエッチングは、金属板11aの全部を除去するものであってもよいが、半導体素子12が搭載される半導体素子搭載面のみが部分的に露出されるように、金属板11aの半導体素子搭載面を覆う部分のみをエッチングして除去し、図6に示す枠状の金属板11で補強されたパッケージ14を形成することが好ましい。かかる金属板11aにエッチングを施す際に、金属板11aと樹脂層14aとの間の薄樹脂層13は、通常、金属板11aをエッチングするエッチング液にはエッチングされず、金属板11aの半導体素子搭載面を覆う部分のエッチングが終了したときには、それ以上のエッチングが進行しない。このため、接続パッド32の一面側がエッチングされる過剰エッチングを防止できる。更に、金属板11aと異なる色彩の樹脂から成る薄樹脂層13を形成しておけば、金属板11aのエッチングを施す部分のエッチングが終了したとき、その部分の色彩が代わり、エッチングが終了したことを直ちに判断できる。この様に、金属板11aに所要のエッチングが終了した後、薄樹脂層13の露出部分を、金属板11aをエッチングすることなく薄樹脂層13をエッチングするエッチング液によってエッチングし、接続パッド32、32・の一面側を露出する。

【0016】図6に示すパッケージ14に半導体素子12を搭載して図1に示す半導体装置10を得るには、樹脂層14cの表面に形成したパッド上にはんだボールを

載置した後、リフローを施すことによって、基板用外部接続端子としてのはんだボール24を装着できる。次いで、枠状に形成された金属板11の開口部に露出する樹脂層14aの半導体素子搭載面に、半導体素子12を搭載する。その際に、半導体素子12の電極端子(はんだバンプ)12a、12a・の各々を対応する接続パッド32の一面側に当接し、リフローして接合することによって、図1に示す半導体装置10を形成できる。図1に示す半導体装置10では、キャパシター18の外部接続端子18a、18bとキャパシター用接続パッド32c、32cを介して接続されている半導体素子12の電極端子12a、12aのうち、一方の電極端子を電源用とし、他方の電極端子を接地用とすることによって、半導体素子12に供給する電源等の安定化を図ることができる。このため、動作周波数が高周波化された半導体素子12を搭載しても、電源等の不安定化に因る誤動作を防止できる。

【0017】ところで、図1～図6に示すキャパシター18としては、市販されているキャパシターを用いることができるが、市販されていない場合には、図7に示す方法で得ることができる。先ず、シリコン基板40の一面側に開口するビア形成用の凹部42a、42aを形成し、凹部42a、42aの内面を含むシリコン基板40の一面側の全面に酸化膜44を形成する〔図7

(a)〕。この凹部42a、42aは、レーザや反応性イオンエッチング(RIE)によって形成できる。かかる酸化膜44の全面に、Ti-Cuから成る薄膜金属層をスパッタ等で形成した後、薄膜金属層を給電層とする電解めっきで凹部42a、42aの銅等の金属で充填すると共に、薄膜金属層上に所定厚さの金属層を形成する。次いで、形成した金属層にフォトリソ法等の公知の方法でパターンニングを施し、導体パターン46a等を形成する〔図7(b)〕。

【0018】導体パターン46a等が形成されたシリコン基板40の一面側の全面に、Ti-Ptから成る密着層をスパッタ等で形成した後、SrTiO₃、BaTiO₃、TaO₃等の誘電体層48aをスパッタで形成する〔図7(c)〕。この誘電体層48aには、フォトリソ法等の公知の方法パターンニングを施して導体パターン46aを覆う誘電体層48のみを残すと共に、誘電体層48にビア穴50aを形成する〔図7(d)〕。かかる誘電体層48等が形成されたシリコン基板40の一面側の全面には、Ti-Cuから成る薄膜金属層をスパッタ等で形成した後、薄膜金属層を給電層とする電解めっきによって、ビア穴50aに銅等の金属を充填してビア50を形成すると共に、所定厚さの銅等から成る金属層52を形成する〔図7(e)〕。形成した金属層52には、フォトリソ法等の公知の方法パターンニングを施し、導体パターン52aと、ビア50により導体パターン46aと電気的に接続された導体パターン52bとを形成する〔図7

(7)

特開2003-197809

11

12

(f)]。かかる導体パターン52a、52bには、外部接続端子18a、18aとしてのはんだバンプを形成する。

【0019】その後、シリコン基板40の他面側を研磨し、凹部42a、42aの底部を除去して貫通孔42とし、貫通孔42内の充填金属の端面を露出することにより、ビア52、52を形成する[図7(b)]。この様にビア52、52の端面が露出するシリコン基板22の他面側には、図2に示す様に、ビア52、52の露出端面を除いてエポキシ、ポリイミド等の保護層17を形成した後、接続面が平坦な外部接続端子18b、18bを導体パターン52a、52b、46aと同様な方法で形成し、図2に示すキャパシター18を得ることができる。図2に示すキャパシター18では、導体パターン46a及び52bから成る導体回路と導体パターン52aから成る導体回路とは、導体パターン46aと導体パターン52aとが誘電体層48を挟み隣接して形成されており、キャパシター機能を奏する。

【0020】この様にして得られた図2に示すキャパシター18が搭載された図1に示す半導体装置10では、キャパシター18の外部接続端子18a、18aと半導体素子12の電極端子12a、12aは、キャパシター用接続パッド32cを介して電気的に接続されている。この点、図8に示す半導体装置10では、キャパシター18の一面側に形成された外部接続端子18c、18cの平坦な接続面に半導体素子12の電極端子12a、12aが直接接続されており、図1に示す半導体装置10よりも更にキャパシター18と半導体素子12との間の導体回路距離を短縮できる。すなわち、図8に示す半導体装置10に用いたキャパシター18は、図9に示す様に、他の電子部品の端子と接続される外部接続端子18b、18cの接続面は平坦面に形成されている。このため、キャパシター18が配設されたパッケージ14では、図10に示す様に、半導体素子搭載面に外部接続端子18c、18cの平坦な接続面が露出しており、半導体素子12の対応する電極端子12a、12aと直接接続できる。

【0021】かかる図9に示すキャパシター18の他面側に形成された外部接続端子18b、18bは、図8及び図10に示す様に、パッケージ14の他面側に装着された基板用外部接続端子としてのはんだボール24、24と、各層に形成されたビア20、20・・・が積層されて形成された導体回路によって電気的に接続されている。このため、図8に示す半導体装置10では、半導体素子12の電極端子12a、12aが直接接続されるキャパシター18の外部接続端子18c、18cとはんだボール24、24とを、キャパシター18の本体を介して電気的に接続する。ビア20、20・・・が積層されて形成された導体回路を、最短距離となるように形成することによって、導体回路のインダクタンスを更に低下

できる。ここで、「最短距離」とは、半導体素子12の電極端子12a、12aが直接接続されるキャパシター18の外部接続端子18c、18cからパッケージ14の他面側に垂下した垂線方向に、はんだボール24、24が形成されていると共に、キャパシター18の外部接続端子18c、18cとはんだボール24、24を接続する導体回路が実質的に直接状に形成されていることを言う。

【0022】かかる図9に示すキャパシター18は、図7に示すキャパシター18の製造工程のうち、図7

(f)の工程を除いて略同一工程で得ることができる。この図7(f)の工程では、フォトリソ法等の公知の方法パターンニングを施し、導体パターン52aと、ビア50により導体パターン46aと電気的に接続された導体パターン52bとを形成する際に、はんだバンプから成る外部接続端子18a、18a(図2)に代えて、半導体素子12の電極端子(はんだバンプ)12a、12aと接続し得る平坦な接続面を具備する外部接続端子18c、18cを導体パターン52a、52bに形成する。この様にして得られた図9に示すキャパシター18を用いて図8に示すパッケージ14を形成する際も、図4～図6に示す製造工程と略同一工程で得ることができるが、図4(a)～(c)の工程を図11(a)～

(c)に示す工程に変更する。すなわち、銅等の金属から成る金属板11aの一面側に、ポリイミド等の樹脂から成る薄樹脂層13を形成した後[図11(a)]、薄樹脂層13の表面上に無電解めっき等によって形成した銅等の金属薄膜を給電層とする電解めっきにより形成した金属層に、フォトリソ法等の公知の方法でパターンニングして接続パッド32、32・・・を形成する[図11(b)]。この工程では、図4(b)に示す工程の様に、キャパシター用接続パッド32c、32cを形成しない。このため、形成された接続パッド32、32・・・は、パッケージ14を構成するキャパシター18以外の導体パターン等に接続されるビア20と接続される。

【0023】次いで、薄樹脂層13が露出している部分に、図9に示すキャパシター18を載置する[図11(c)]。この際に、キャパシター18の外部接続端子18c、18cの平坦な接続面が薄樹脂層13の露出面に当接するように、キャパシター18を載置する。その後、図4(d)～(g)、図5(a)～(c)及び図6に示す各工程を通過することによって、図8に示す半導体装置を構成するパッケージ14を得ることができる。以上、説明してきた半導体装置10を形成するパッケージ14は、三層の多層回路基板であったが、三層以上の多層基板としてもよく、単層のパッケージであってもよい。また、半導体装置10には、その半導体素子搭載面に、棒状の金属板11を残しているが、パッケージ14の剛性が充分であれば、金属板11aの全てをエッチングで除去してもよく、基板用外部接続端子としてのはんだ

(8)

特開 2003-197809

13

ボール24を装着しているが、ピンであってもよい。

【0 0 2 4】

【発明の効果】本発明によれば、搭載した半導体素子の電極端子からキャパシターに至る導電回路を可及的に短縮できるため、高速化（高周波化）された半導体素子を搭載しても、半導体素子に供給する電源等の安定化を図ることができ、半導体装置の信頼性を向上できる。

【図面の簡単な説明】

【図１】本発明に係る半導体装置の一例を説明するための縦断面図である。

【図2】図1に示す半導体装置を形成する半導体装置用パッケージに配設されるキャパシタの一例を説明する縦断面図である。

【図 3】図 1 に示す半導体装置の部分拡大図である。

【図４】図１に示す半導体装置を構成する半導体装置用パッケージを製造する製造工程の一部を説明する工程図である。

【図5】図4に示す製造工程の続きの工程を説明する工程図である。

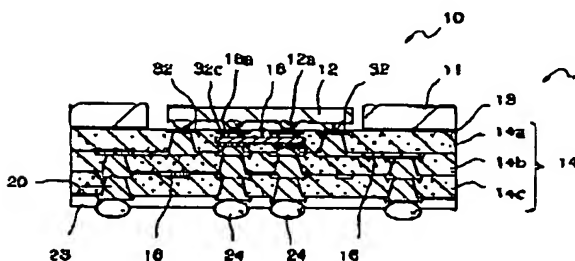
【図6】図5に示す製造工程の続きの工程を説明する工程図である。

【図7】図2に示すキャパシターの製造工程を説明する工程図である。

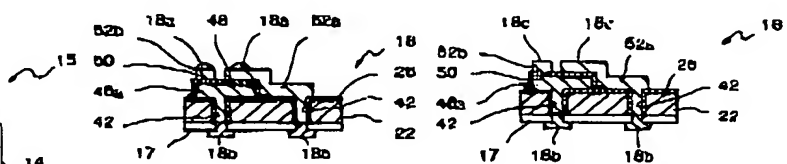
【図8】本発明に係る半導体装置の他の例を説明するための概断面図である。

【図 9】図 8 に示す半導体装置を形成する半導体装置用

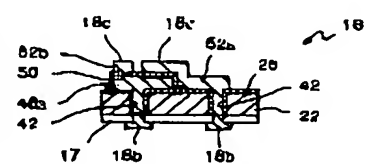
【图 1】



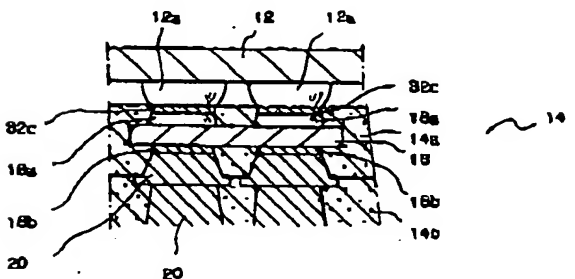
【图 2】



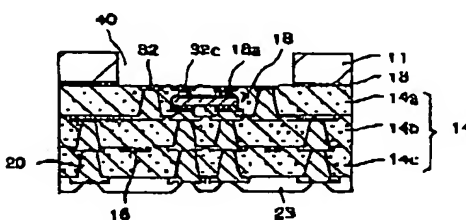
【図 9】



【图 3】



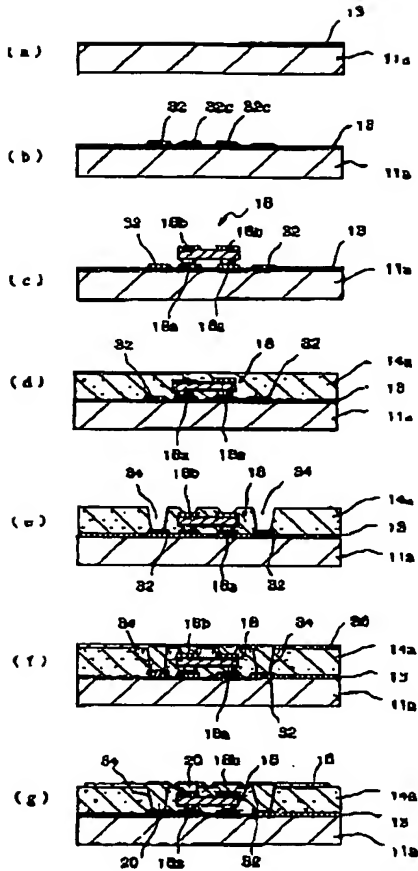
【图 6】



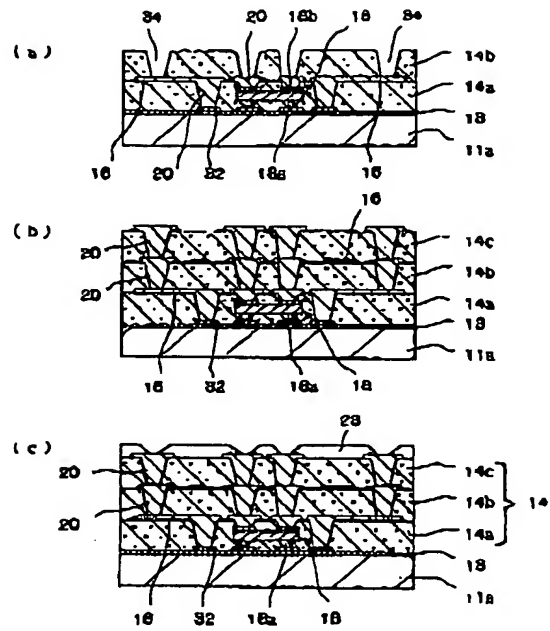
(9)

符 号 2 0 0 3 - 1 9 7 8 0 9

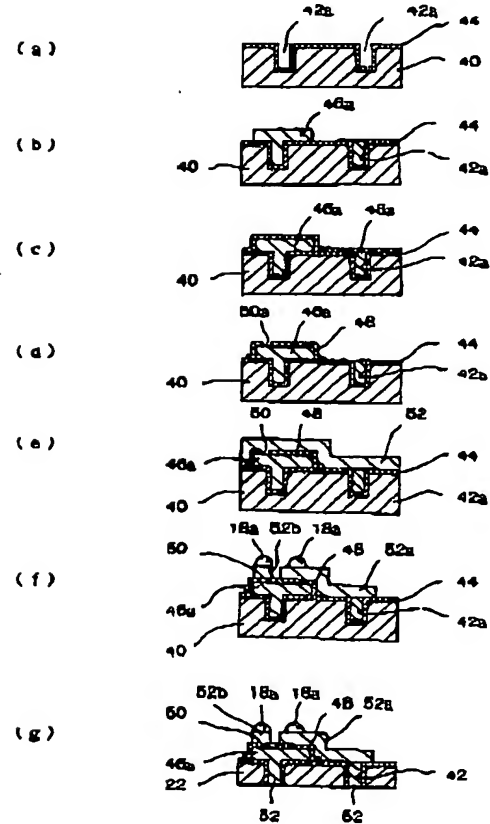
【図 4】



【図 5】



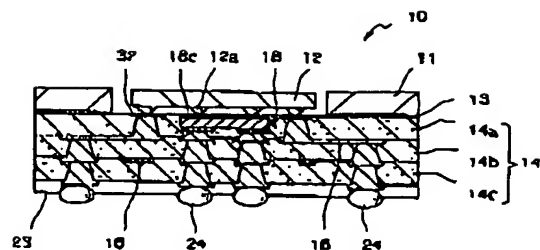
【図 7】



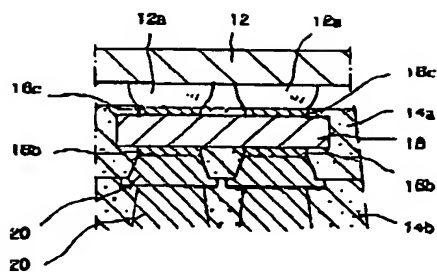
(10)

符 附 2 0 0 3 - 1 9 7 8 0 9

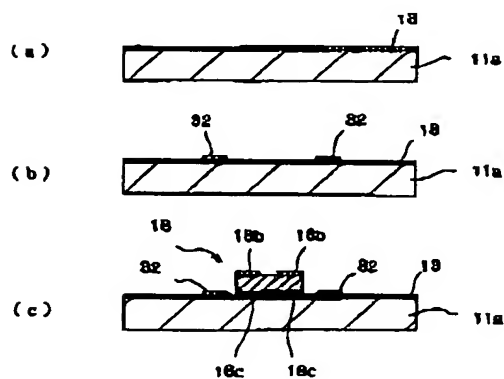
【図 8】



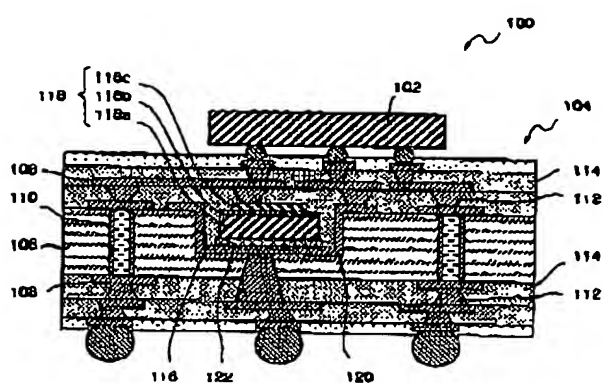
【圖 10】



【图 11】



【圖 12】



フロントページの続き

F ターム (参考) 5E346 AA02 AA03 AA12 AA15 AA43
AA60 BB01 BB11 BB16 CC10
CC31 DD03 DD31 EE31 FF04
FF45 GG28 HH05